

DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.
004446702

WPI Acc No: 1985-273580/198544

XRAM Acc No: C87-036044

XRPX Acc No: N87-064996

IGFET device suitable for large current operation - has a longitudinal source and drain structure so that channel extends laterally when high voltage is applied

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 60186066	A	19850921	JP 8441755	A	19840305	198544 B
US 4651182	A	19870317	US 85706881	A	19850301	198713
US 4762807	A	19880809	US 86895947	A	19860813	198834

Priority Applications (No Type Date): JP 8441755 A 19840305

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 60186066	A	7		

Abstract (Basic): JP 60186066 A

IGFET device comprises first semiconductor layer of first type formed on substrate or conductive layer on the substrate; second semiconductor layer of (virtually) intrinsic type having a channel region; third semiconductor layer of first type formed as a prolubrance; fourth semiconductor layer of (virtually) intrinsic type covering the second and third layer; gate insulation formed on the fourth layer; and a gate electrode formed on the gate insulation.

USE/ADVANTAGE - Structure prevents high current density at the interface of the channel region and the gate insulation, allowing the formation of a large-current power transistor. (First major country equivalent to J60186066-A)

Title Terms: IGFET; DEVICE; SUIT; CURRENT; OPERATE; LONGITUDE; SOURCE;

DRAIN; STRUCTURE; SO; CHANNEL; EXTEND; LATERAL; HIGH; VOLTAGE; APPLY

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/32; H01L-027/12;

H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

01707566 **Image available**

INSULATED GATE TYPE FIELD EFFECT SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF

PUB. NO.: **60-186066** [JP 60186066 A]

PUBLISHED: September 21, 1985 (19850921)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: 59-041755 [JP 8441755]

FILED: March 05, 1984 (19840305)

INTL CLASS: [4] H01L-029/78; H01L-029/52; H01L-029/60; H01L-021/324;
H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS
-- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 378, Vol. 10, No. 27, Pg. 60,
February 04, 1986 (19860204)

ABSTRACT

PURPOSE: To form a structure that a channel laterally expands at a high voltage by providing a gate insulating film on the fourth true or substantially true semiconductor and a gate electrode on the gate insulating film.

CONSTITUTION: The third semiconductor is selectively removed to form a projection, and the fourth true or substantially true (P(sup -) or N(sup -)) nonsingle crystal semiconductor 7 and a gate insulator 8 on the semiconductor are laminated on the projection. The fourth semiconductor and the gate insulator are formed by a PCVD or optical CVD method without contacting with the atmosphere on the surface of the semiconductor. Then, after a window for contacting with the third semiconductor 5 is opened at 18, a metal conductor which mainly contains ITO, chromium, molybdenum, or nickel is formed to cover them by a vacuum deposition method or the PCVD method as a gate electrode. Thus, the gate insulator 8 is formed under the gate electrode 9, and a channel 10 is formed on the channel forming region thereunder by applying a voltage.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-186066

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)9月21日

H 01 L 29/78
29/52
29/60
// H 01 L 21/324
27/12

8422-5F
7638-5F
7638-5F
6603-5F
8122-5F

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 絶縁ゲイト型電界効果半導体装置およびその作製方法

⑯ 特 願 昭59-41755

⑰ 出 願 昭59(1984)3月5日

⑱ 発 明 者 山 崎 舜 平 東京都世田谷区北烏山7丁目21番21号 株式会社半導体エ
ネルギー研究所内

⑲ 出 願 人 株式会社半導体エネ ル 東京都世田谷区北烏山7丁目21番21号
ギー研究所

明 細 書

1. 発明の名称

絶縁ゲイト型電界効果半導体装置およびその
作製方法

2. 特許請求の方法

1. 基板上または基板上の導電層上に設けられた一導電型を有する第1の半導体と、該半導体上の真性または実質的に真性の導電型のチャネル形成領域を有する第2の半導体と、該半導体上に突出して設けられた前記第1の半導体と同一導電型を有する第3の半導体と、該半導体および前記第2の半導体を覆って真性または実質的に真性の第4の非単結晶半導体と、該半導体上のゲイト絶縁膜と、該ゲイト絶縁膜上のゲイト電極とが設けられたことを特徴とする絶縁ゲイト型電界効果半導体装置。
2. 特許請求の範囲第1項において、第3の非単結晶半導体上には金属導電層が設けられ、該導電層を覆って絶縁物が設けられたことを特徴とする絶縁ゲイト型電界効果半導体装置。

3. 特許請求の範囲第1項において、半導体は水素または弗素のごときハロゲン元素が添加されたアモルファスまたは5~200 Åの大きさの秩序性または結晶性を有するセミアモルファス半導体を主成分とした非単結晶半導体を用いられたことを特徴とする絶縁ゲイト型電界効果半導体装置。

4. 特許請求の範囲第1項において、第4の半導体は単結晶または多結晶半導体を用いられたことを特徴とする絶縁ゲイト型電界効果半導体装置。

5. 基板上または基板上の導電層上に気相法により一導電型を有する第1の半導体と、該半導体上に気相法により真性または実質的に真性の導電型を有する第2の半導体層を積層して形成する工程と、該第2の非単結晶半導体上に突出して気相法により第1の半導体と同一導電型の第3の非単結晶半導体を積層して形成する工程と、該半導体の側面および前記第2の半導体上に真性または実質的に真性の第

4の半導体とゲイト絶縁物とを形成する工程と、該絶縁物上にゲイト電極を形成する工程とを有することを特徴とする絶縁ゲイト型電界効果半導体装置作製方法。

6. 特許請求の範囲第5項において、第4の半導体層の上面を大気に触れさせることなくその上面にゲイト絶縁物を形成することを特徴とした絶縁ゲイト型電界効果半導体装置作製方法。

7. 特許請求の範囲第5項において、ゲイト絶縁膜を形成した後、レーザ光または強光を照射して第4の半導体を単結晶または多結晶に変成せしめたことを特徴とする絶縁ゲイト型電界効果半導体装置作製方法。

3. 発明の詳細な説明

本発明は絶縁ゲイト型電界効果半導体装置（以下単にIGFETという）およびその複合化させた半導体装置およびその作製方法に関するものであって、気相法特にプラズマ気相法を用いることによって積層して形成される非単結晶半導体を用い、

たはホールの移動度が単結晶の $1/10 \sim 1/100$ と小さく、チャネル長を 2μ 以下好ましくは $0.1 \sim 1 \mu$ にすることは周知特性の向上のために必要不可欠であった。

またCVD法で作られた非単結晶半導体代表的にはアモルファス（非晶質）構造（以下ASという）または $5 \sim 100 \text{ \AA}$ の大きな量子論的な秩序性または微結晶性を有するセミアモルファス（半非晶質、以下SASという）、または $100 \sim 2000 \text{ \AA}$ の大きさの結晶のマイクロポリクリスタル（以下MPSという）を総称する水素または弗素のごときハロゲン元素が $0.01 \sim 20$ 原子%添加された非単結晶半導体（以下NSCSという）にあっては、その形成温度が $200 \sim 300^\circ\text{C}$ であることを考慮しても、その密度が単結晶ほど大きくない。そのため精密なPN接合を作ることには 50 V 以上の高耐圧を有するデバイスにとってまったく不可能であった。さらに基板側からの光照射を利用するフォトセンサ機能を有する高速応答高出力高増幅デバイスを作ることにも不可能であった。

かつそのチャネル長を $0.1 \sim 3 \mu$ とマイクロチャネル化することを目的としている。

従来、IGFETにおいては、チャネルは横方向に形成され、その基本要素としてソース、ゲイト、ドレインがある。しかしこの場合、ソースとドレインが基板の表面に平行に横方向に配置されており、そのソース、ドレイン間を流れる横方向電流をその間に設けられたゲイトにより制御するものである。

しかし気相法例えばプラズマ気相法（グローまたはアーク放電を利用して室温 $\sim 500^\circ\text{C}$ で代表的には $150 \sim 300^\circ\text{C}$ の低温で非単結晶の半導体を形成せしめる気相法を以下単にPCVDという）を用いる場合、基板側より上方に半導体層を積層させることをその技術思想としている。このため、従来より知られた横チャネル型のソース、ドレインが横方向に配置された構造においては、合わせ精度の限界によりチャネル長を $20 \sim 40 \mu$ 以下にすることは不可能であった。しかしこの気相法（CVD法）で作られた半導体は、そのキャリアである電子ま

本発明はかかるNSCSの種々の特性を考慮して、ソース、ドレインは縦方向いわゆる積層方向に設け、チャネルは高い電圧にすると横方向に広がる構造のIGFETを提案するにある。

かかる構造とすることにより、NSCSにおいてもチャネル形成領域でのゲイト絶縁膜との界面が高い電流密度に成らないため、大電流用パワートランジスタまたはその集積化構造を設けることができる。加えて第1の半導体層をドレインとし、N型とし、さらにその上面に第2の半導体層をN型の半導体とI型半導体とを複合層として積層して設けることも可能である。また第2の半導体層をI層—P層—I層と三層構造とすることにより、逆方向リークをより少なくし 50 V 以上の高耐圧を成就することも可能である。

本発明はソース、ドレインは縦方向に設け、チャネルでの電流は横方向に流すIGFETにおいて、非単結晶半導体を凸部を形成した後設け、さらにこの表面を大気に触れさせることなく引き続いてゲイト絶縁膜を形成することにより、ゲイト絶縁

膜と半導体との界面での界面単位密度を 1×10^{11} cm^{-2} 以下とし、加えて V_{th} 制御をこの半導体中のホウ素の添加量を制御して実施したものである。

以下に図面に従って本発明の特徴、技術思想を示す。

実施例1

第1図は本発明の積層型のIGFETの製造工程およびその完成図の縦断面(C)(D)をともに示す。

図面において、第1図(A)は絶縁性基板例えばアルミナ、ガラス、グレイズセラミックス(1)上に導電層(2)を $0.1 \sim 1 \mu$ の厚さに設けている。光信号を基板側より照射検出するには、基板を透光性(ガラス)とし、この導電層に透光性を必要とする時にはITO(酸化インジウム、酸化スズ混合物)、酸化スズまたはその多層膜とした。またいわゆるパワートランジスタとし、耐熱性を必要とする場合はクロム、ニッケル、モリブデンなどを電子ビーム蒸着法またはスパッタ法により形成させて、さらにステンレス、アルミニウムその他耐熱金属を基板として用いた。

この後この上面にN⁺またはP⁺型のNSCSをPCVD法により $0.01 \sim 1 \text{ torr}$ の圧力中の反応炉内に基板を配置し、室温 $\sim 500^\circ\text{C}$ で代表的には $150 \sim 350^\circ\text{C}$ に加熱させ、加えてキャバシタまたはインダクティブ方式により高周波エネルギーを加え、反応炉内にプラズマ状態のグロー放電を発生せしめたものである。かくすると、この反応炉内に導入された半導体気体、例えば弗化珪素(SiF_4 , SiF_6)、シラン(SiH_4 , Si_2H_6)等の珪化物気体は分解結合して不対結合手である再結合中心をこれら水素または弗素のごときハロゲン元素で中和したNSCSの半導体層が形成される。この時同時に、N型ではフォスヒン、P型ではジボランを珪化物気体に $0.01 \sim 2$ モル%加えて、被膜をN型またはP型とする。即ち不純物を熱拡散またはイオン注入等を用いず、CVD(PCVD, Photo CVD, 光プラズマCVD)またはプラズマ酸化、窒化法を用いることが本発明法の特徴である。

かくしてNまたはPのNSCSを $0.01 \sim 1 \mu$ の厚さに第1の非単結晶半導体層(3)として形成した。

さらにこの上面に真性または実質的に真性の導電型の半導体層(4)を $0.1 \sim 3 \mu$ の厚さに形成した。又高耐圧性を得るため、この半導体を珪素ではなく炭化珪素($\text{Si}_x\text{C}_{1-x}$ $0 < x < 1$ 例えば $x = 0.8 \sim 0.9$)とすると、さらに $50 \sim 300\text{V}$ と耐圧性を向上できた。さらにこの半導体層の第1の半導体層に近い部分は、実質的に真性の導電型またはN層とし、その上面に真性の導電型または実質的に真性の導電型の半導体層を電気伝導度を厚さ方向に変化させて第1の半導体層(3)をドレインとする場合の耐圧を向上せしめる方法を用いてもよい。

かくしてチャネル形成領域を有する第2の非単結晶の半導体層(4)を(3)の上に積層して設けた。

さらにこの上面にPまたはN型の第3の非単結晶半導体(5)を第1の半導体(3)と同様に形成して第1図(A)を得た。

この後第3の半導体を選択的に除去し、凸部を構成せしめて、さらにこの凸部を覆って真性また

は実質的に真性(P⁺またはN⁺)の第4の非単結晶半導体(7)およびこの半導体上にゲイト絶縁物(8)を積層した。この第4の半導体とその上面のゲイト絶縁物の形成は半導体の表面を大気に触れさせることなくPCVDまたは光CVD法により行った。

第1図(B)はその縦断面図を示す。図面においてコーナ部(15)は若干第2の半導体内にデープエッチして入っている。さらにこのエッチング面は自然酸化され低級酸化物が形成されるため、この上面にゲイト絶縁物との界面特性の向上のため、第4の非単結晶半導体を $0.1 \sim 0.5 \mu$ の厚さに形成している。この半導体へのホウ素の添加を制御することにより、スレッショールド電圧の制御が可能となった。例えばホウ素を20PPM、シランと同時に添加すると、 V_{th} は $2 \sim 3\text{V}$ となった。

ゲイト絶縁物はPCVD法または光CVD法によりシランまたはジシランとアンモニアまたはヒドラジンとの反応による窒化珪素を $100 \sim 2000 \text{ \AA}$ の厚さ

に形成し、ゲイト絶縁物とした。また弗素のごときハロゲン元素が添加されプラズマ酸化法を用いてこれらの表面を200～500℃に加熱し、酸素または窒素、アンモニアを～36Hzの周波数の電磁エネルギーにて連続してこれらの表面をプラズマ酸化またはプラズマ窒化してもよい。

かかる固相—気相プラズマ反応を行うには100～500℃の温度を必要とするため、かかる場合にはNSCSの(3)(4)(5)は再結合中心中和用に水素を用いるのではなく、弗素を用いると耐熱性が好ましかった。かくして、ゲイト絶縁物(8)を100～2000Å例えば1000Åの厚さに形成した。

このゲイト絶縁物中に半導体のクラスタまたは薄膜を選択的に含有させ、不揮発性メモリとしてもよい。

第1図(C)は第1図(B)の縦断面図に対し、第3の半導体(5)とのコンタクト用の窓開け(18)を行った後、これらを覆いITOまたはクロム、モリブデン、ニッケルを主成分とする金属の薄膜を真空蒸着法またはPCVD法により形成してゲ

イト電極とした。ゲイト電極材料はソースまたはドレイン(5)(3)と同一導電型の半導体であってもよい。

かくすることにより、本発明のIGFET(20)はゲイト電極(9)下にはゲイト絶縁膜(8)が設けられ、その下にはチャネル形成領域にチャネル(10)がゲイトに電圧を加えることにより設けられる。かくして電流は例えば第3の半導体(5)をソース、第1の半導体(3)をドレインとすると、矢印(11)のごとく一度外方向に拡がり、その後垂直方向に電流が流れる。このためゲイト絶縁物と半導体との界面には電流が集中することがなく、結果としてアモルファスまたはセミアモルファス構造を有するNSCSであっても、界面が劣化することなく1つの素子で0.1～20Aもの大電流を流すトランジスタを作ることができた。

もちろんゲイト絶縁膜を形成してしまった後、この絶縁膜を介して第4の非単結晶半導体に対して1.06μmの波長のYAGレーザー(パルス光)によりレーザーアニールを行い、第4の半導体を単結晶ま

たは多結晶とし、さらに30～100Aも流し得る単結晶または多結晶半導体としてもよい。

さらに第1図(D)は第1図(C)のA—A'での横方向より見た縦断面図を示している。IGFET(20)はソースコンタクト(18)、リード(13)、ゲイト電極(9)、ドレイン、リード(2)が基板(1)上に設けられている。

実施例2

第2図は本発明の他の実施例である。

図面において基板(1)はステンレス、ニッケル、モリブデン等金属基板を用いた。さらにこの上面にオーーム接触をさせた第1図と同様のNまたはP型の非単結晶の第1の半導体層(3)を同様の方法で形成させた。

さらにその上面にチャネル形成領域の一部を構成する第2の半導体層(4)を0.1～3μmの厚さに形成した。図面では、例えば半導体(3)がN層、(4)がP₁層またはN₁の2層構造としている。さらにこの上面に第1の半導体と同一導電型の第3の半導体(5)をCVD法で積層して作製

した。この後この上面にモリブデン、タングステン、珪化タングステン、ITO等の導電膜(6)を0.1～1μmの厚さに形成し、さらにその上に寄生容量を少なくするための酸化珪素絶縁膜(7)をPCVD法により0.3～2μmの厚さに積層した。

この後第2図(B)に示されるごとく、絶縁物(7)、導電層(6)および第3の半導体(5)を概略同一形状にリソグラフィ技術により除去した。さらにチャネル形成領域の他部を構成する第4の半導体(7)及びゲイト絶縁膜(8)をPCVD法またはPhoto CVD法により0.1～1μmの厚さに形成させた。

この後、このゲイト絶縁膜を貫いてレーザー光または強光をこれらを200～300℃に加熱しつつ照射し、第4の半導体またはそれと第2の半導体を単結晶または多結晶化してより大電流が流し得る電力用トランジスタ用に変成することは有効であった。

また第2図(C)はこの第2図(B)の工程の後、電極用の穴開け(18)を行い、ITO、TiSi₂、WSi₂

Mo. のとき導体またはN⁺またはP⁺の多結晶珪素半導体よりなるゲイト電極(9)を形成させた。するとその直下にはゲイト絶縁物(8)、その下のチャネル形成領域は第4の半導体と第2の半導体とに形成される。電流はソース例えば(5)より下方向のドレイン(3)に流れ、横方向に広がりながら、広い領域を流れる。

第2図(D)は第2図(C)のA-A'での横側から見た縦断面図である。

図面より明らかなごとく、導電性基板(1)上にオーミック接触した第1の非単結晶半導体が設けられ、また第3の半導体(5)上にはそのシート抵抗値を小さくするため導電層(6)を形成し、電極(14)が電極穴(18)により設けられ、リード(13)がさらに存在している。ゲイト電極(9)とソースリード(13)が同一材料で同一工程で作製されているが、異種材料でそれぞれゲイト電極(9)と(13)との間にP10等の層間絶縁物を設けて多層配線をさせてもよい。

ゲイト絶縁膜(8)等のその他の製造工程は第

1図の実施例に従った。

第3図は本発明のIGFETを用いたパワートランジスタの構造の一例を示す。

図面において、(B)は平面図であり、(A)は第3図(B)のA-A'での縦断面図である。番号、相対位置は対応させて示している。

第3図(A)において導電性基板(1)上のN型の第1の非単結晶半導体層(3)をドレインとして設けた。チャネル形成領域(10)が第2および第4の半導体(4)(7)に、さらにその上面のゲイト絶縁膜(8)が設けられている。第3の半導体(5)、その上の導電層(6)が積層して同一形状を有しており、このソースとチャネル形成領域とを覆ってゲイト電極(9)が形成されている。

図面より明らかなごとく、ゲイト電極は外部引出し電極(19)と接続し、ソース(5)は導電層(6)と接続、外部引出し電極(21)と接続している。ソース(5)、ドレイン(3)間には0.1~10Aの大電流が流れるため、第3図(B)に示すごとく2本のボンディング(21)をさせている。

この接続はフェイスダウンボンド方式でもよい。

かかる構造にすることにより、非単結晶半導体の表面の20~40%はソース領域を構成し、60~40%はチャネル形成領域(10)を構成し、さらに約20%は外部引出し電極および周辺とスクライブライン領域を構成させることができるため、例えば5~10mm×5~10mmの面積のチップにおいて最大20Aの大電流をも取り出すことができるパワー用IGFETとすることが可能であった。

さらにドレイン耐圧は真性または実質的に真性の第2の半導体(4)の厚さと第4の半導体(7)の導電率を制御して設けることにより、10~200Vのドレイン耐圧を有するIGFETを得ることができた。

以上の説明より明らかなごとく、本発明は従来より知られた単結晶半導体を用いるのではなく、非単結晶を導電型の基板または導体層上に積層して設けたIGFETであり、またこの半導体中には再結合中心中和剤として弗素を用いることにより、そのプロセス中に水素の場合の300℃(上限)を

500℃上限にまで耐熱性の向上をはかることができた。

さらに基板側からの光信号検出用として用いる場合、単結晶半導体のうち第1の半導体を2.0~2.5eVを有する炭化珪素とし、また第2の半導体を珪素または炭化珪素としてそこの入射光の波長依存性を制御してSi_xGe_{1-x}(0<x<1)の特定波長に対する光耐圧性を有するフォトセンサとしてもよい。加えて第2の半導体をSi_xGe_{1-x}(0<x<1)とすると、赤外線センサとして用いることも可能である。

特に本発明において、非単結晶に5~100Aの微結晶性を有するセミアモルファス半導体において、NまたはP型の半導体の場合、その導電度を1~100(qcm)⁻¹、0.1~10(qcm)⁻¹とASに比べて10~10³倍も高くできるため、シート抵抗を下げる上できわめて好ましいものである。また真性および実質的に真性の半導体に対しては、アモルファス化剤である酸素濃度を5×10¹⁸cm⁻³以下に押さえることにより、珪素半導体において5~100A

の微結晶性を有する空間的に秩序性を示す結晶いわゆるセミアモルファス半導体を作ることができる。かかる半導体は、その電気伝導度が暗伝導度 $10^{-8} \sim 10^{-4} (\Omega \text{cm})^{-1}$ 、 AHI ($100 \text{mV} / \text{cm}$) にて $1 \times 10^{-3} \sim 9 \times 10^{-2} (\Omega \text{cm})^{-1}$ を作ることができ、そのキャリアの移動度も単結晶硅素の $1/2 \sim 1/30$ にまで向上させることができ、本発明の IGPET を用いることはきわめて効果的であった。

4. 図面の簡単な説明

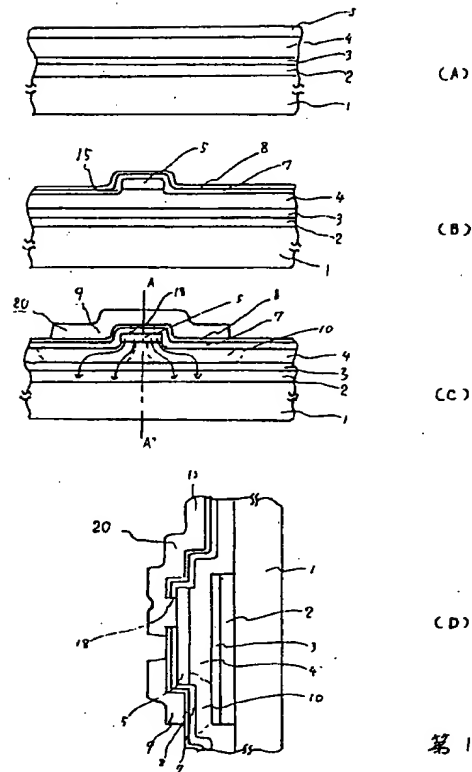
第1図および第2図は本発明の絶縁ゲート型電界効果半導体装置の製造方法を示す縦断面図である。

第3図は本発明の半導体装置の複数個のソース、チャンネル形成領域を同一基板に有せしめたパワートランジスタの縦断面図および平面図を示す。

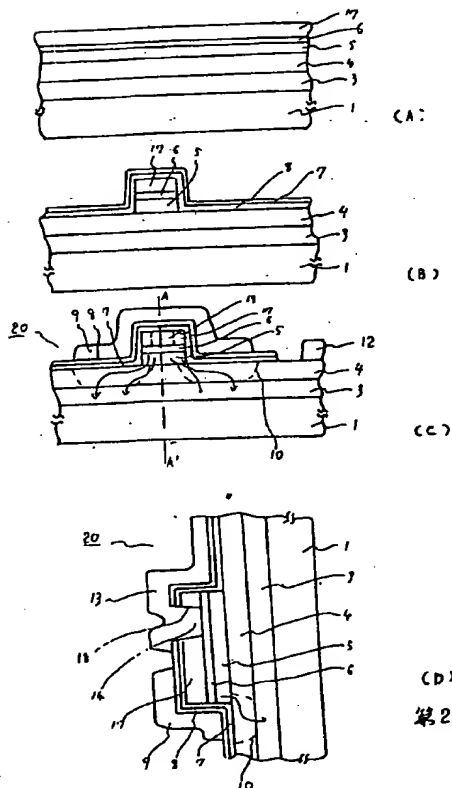
特許出願人

株式会社半導体エネルギー研究所

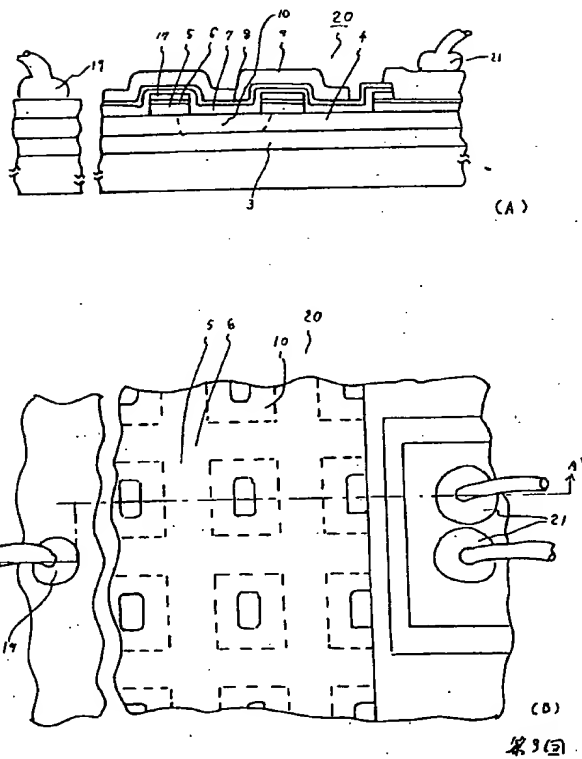
代表者 山 崎 舜 平



第1図



第2図



第3図